

[Please Click here to view the drawing](#)[Korean FullDoc.](#)[English Fulltext](#)(19) 

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030058316 A
 (43)Date of publication of application: 07.07.2003

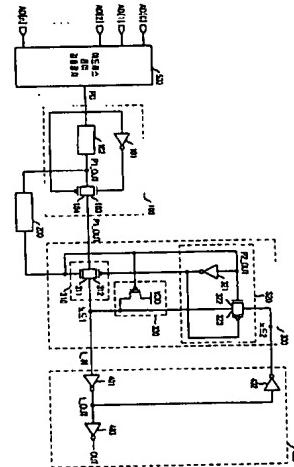
(21)Application number: 1020010088732
 (22)Date of filing: 31.12.2001
 (51)Int. Cl G11C 8/00

(71)Applicant: HYNIX SEMICONDUCTOR INC.
 (72)Inventor: SON, HO YONG

(54) PULSE WIDTH FIX DEVICE

(57) Abstract:

PURPOSE: A pulse width fix device is provided to generate the detection signal having a uniform pulse width although the timing of the applied address or the data is not exact. CONSTITUTION: A pulse width fix device includes a detection device(500) for detecting the shift of the address, a first delay block(100), an output block(400), a second delay block(200) and a pulse width control block(300). In the pulse width fix device, the first delay block(100) delays the detection signal by a predetermined time and outputs the delayed detection signal. The second delay block(200) delays the outputs of the first delay block(100) by a predetermined time and outputs the delayed signal. And, the pulse width control block(300) fixes the pulse width of the detection signal applied to the output block(400) as the delay time of the second delay block(200) by fixing the time transmitted to the output block(400) as the delay time of the second delay block(200) with the detection signal outputted from the first delay block(100).



copyright KIPO 2003

Legal Status

Date of request for an examination (20011231)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20050802)

Patent registration number (1005087220000)

Date of registration (20050808)

Number of opposition against the grant of a patent ()

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl. 7
 G11C 8/00

(11) 공개번호 특2003-0058316
 (43) 공개일자 2003년07월07일

(21) 출원번호 10-2001-0088732
 (22) 출원일자 2001년12월31일

(71) 출원인 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 손호용
 서울특별시 서초구 우면동 70번지 코오롱아파트 105-205

(74) 대리인 특허법인 신성

심사청구 : 있음

(54) 펄스폭 고정 장치

요약

본 발명은 어드레스 및 데이터의 천이를 검출시 생성되는 검출신호의 펄스폭을 일정하게 만드는 펄스폭 고정회로에 관한 것으로 이를 위한 본 발명은, 어드레스 및 데이터의 천이를 검출시 생성되는 검출신호의 펄스폭을 고정시키는 장치에 있어서, 상기 검출신호를 소정시간 지연시켜 출력하는 제1 지연수단; 출력수단; 상기 제1 지연수단의 출력을 소정시간 지연시켜 출력하는 제2 지연수단; 상기 제1 지연수단에서 출력되는 검출신호가 상기 출력수단으로 전달되는 시간을 상기 제2 지연수단이 가지는 지연시간으로 고정시킴으로써, 상기 출력수단으로 인가되는 검출신호의 펄스폭을 상기 제2 지연수단의 지연시간으로 고정시키는 펄스폭 제어수단을 포함하여 이루어진다.

내장도

도 3

색인어

펄스폭 고정 장치, 패스게이트

명세서

도면의 간단한 설명

도 1a와 도 1b는 종래의 어드레스 천이 검출기를 도시한 도면,

도 2는 상기 도 1a 도 1b의 타이밍도,

도 3은 본 발명에 따른 펄스폭 고정 장치의 일실시예의 상세 회로도,

도 4는 본 발명에 따른 펄스폭 고정 장치의 타이밍도,

도 5는 본 발명에 따른 펄스폭 고정 장치의 다른 타이밍도.

* 도면의 주요 부분에 대한 부호의 설명

100 : 제1 지연부 200 : 제2 지연부

300 : 펠스폭 제어부 400 : 출력부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 어드레스 및 데이터의 천이를 검출하는 검출장치에 관한 것으로, 특히 어드레스 및 데이터의 천이를 검출 시 생성되는 검출신호의 펠스폭을 일정하게 만드는 펠스폭 고정장치에 관한 것이다.

집적회로의 설계 기술이 발전함에 따라 점차로 높은 클럭에서 동작하는 마이크로 프로세서 및 메모리가 개발되고 있으며, 상기 높은 클럭에서 동작하는 마이크로 프로세서 및 메모리의 입출력 신호는 기존에 비하여 더욱 정밀한 펠스폭을 필요로 한다.

따라서, 상기 어드레스의 천이를 감지하기 위한 어드레스 천이 검출기 및 데이터 천이 검출기에서 생성되는 검출신호가 오동작 없이 고속으로 동작 하기 위해서는 일정한 펠스폭을 가진 검출신호가 생성되어야 한다.

도 1a와 종래의 어드레스 천이 검출기를 도시한 것이다.

도 1a를 참조하면, 다수의 비트로 이루어지는 어드레스의 천이를 감지하는 어드레스 천이 검출기에 있어서, 상기 다수의 비트를 입력으로 하여 어드레스의 천이를 검출하는 어드레스 천이 감지부(10)와, 상기 어드레스 천이 감지부에서 어드레스 천이를 감지시 로우 레벨을 출력하도록 하는 출력부(20)를 포함하여 이루어진다.

이하, 도 1a를 참조하여 상기한 구성의 동작을 설명하면 다음과 같다.

먼저, 상기 어드레스 천이 감지부(10)는 각각의 어드레스 신호에 대하여 천이 여부를 감지하여 어드레스가 하이 또는 로우로 천이시 하이 레벨을 출력한다.

상기 어드레스 천이 감지부(10)는 인가되는 어드레스의 비트수와 동일한 갯수의 어드레스 천이 감지회로를 가지고 있다.

즉, 어드레스가 16비트로 구성되면 16개의 어드레스 천이 감지회로를 가지게 된다.

이어서, 상기 각각의 어드레스 천이 감지회로중 어느 하나라도 어드레스의 천이를 감지하게 되면 출력부를 구동하여 로우 레벨을 출력하도록 한다.

도 1b는 종래의 다른 어드레스 천이 검출기를 도시한 것이다.

도 1b는 상기 도 1a와 구성이 유사하되, 단 상기 출력부(20)대신 논리조합회로(30)를 채용한 것으로 그 동작방식은 상기 도 1a와 동일하다.

상기 논리조합회로(30)는 낸드 게이트나 노아 게이트를 사용하여 구성 가능하며, 인가되는 어드레스 중 어느 하나라도 천이가 발생 시 로우 레벨의 출력신호를 생성한다.

도 1a에 도시된 어드레스 천이 감지기와 도 2의 타이밍도를 참조하여 좀 더 구체적으로 설명하면 다음과 같다.

먼저, 어드레스 AD[0] 하나만이 어드레스 천이 감지회로(11)에 인가되는 경우의 타이밍 특성을 보면, 도 2에 도시된 바와 같이 인가되는 어드레스(AD[0])가 로우에서 하이 레벨로 천이시 하이에서 로우 레벨로 천이되는 검출신호(OUT_1)가 생성됨을 볼 수 있다.

한편, 다수의 어드레스(AD[1] ~ AD[4])가 각각 조금씩 다른 타이밍에 상기 도 1a에 도시된 어드레스 검출회로로 각각 인가될 시 최종적으로 생성되는 검출신호(OUT_2)는 도 2에 도시된 바와 같이, 인가된 어드레스(AD[1] ~ AD[4]) 중 제일 먼저 하이 레벨로 천이된 어드레스 AD[1]에 따라 하강하고 제일 늦게 천이된 어드레스 AD[4]가 하강하는 타이밍(A지점) 때 하이 레벨로 천이하게 된다.

즉, 인가되는 어드레스의 타이밍이 정확하지 않을 경우에는 검출신호가 제일 먼저 천이한 어드레스에 따라 하강하여 제일 늦게 천이한 어드레스에 따라 상승하므로, 검출신호(OUT_4)의 펄스폭이 증가하게 되므로, 정밀한 타이밍 및 펄스폭을 요구하는 마이크로 컨트롤러나 메모리 및 기타 어드레스 신호를 필요로 하는 집적회로가 동작시 오류를 발생시키게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 종래의 문제점을 해결하기 위하여 제안된 것으로 인가되는 어드레스 또는 데이터의 타이밍이 정확하지 않아도 일정한 펄스폭을 가지는 검출신호를 생성하는 펄스폭 고정장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 문제점을 해결하기 위한 본 발명은, 어드레스 및 데이터의 천이를 검출시 생성되는 검출신호의 펄스폭을 고정시키는 장치에 있어서, 상기 검출신호를 소정시간 지연시켜 출력하는 제1 지연수단; 출력수단; 상기 제1 지연수단의 출력을 소정시간 지연시켜 출력하는 제2 지연수단; 상기 제1 지연수단에서 출력되는 검출신호가 상기 출력수단으로 전달되는 시간을 상기 제2 지연수단이 가지는 지연시간으로 고정시킴으로써, 상기 출력수단으로 인가되는 검출신호의 펄스폭을 상기 제2 지연수단의 지연시간으로 고정시키는 펄스폭 제어수단을 포함하여 이루어진다.

이하 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도 3은 본 발명에 따른 펄스폭 고정장치를 어드레스 천이 검출장치에 적용한 일실시예이다.

도 3을 참조하면, 어드레스의 천이를 검출하는 검출장치(500)와, 어드레스 및 데이터의 천이를 검출시 생성되는 검출신호(PD)의 펄스폭을 고정시키는 장치에 있어서, 상기 검출신호(PD)를 소정시간 지연시켜 출력하는 제1 지연부(100)와, 출력부(400)와, 상기 제1 지연부(100)의 출력을 소정시간(d1) 지연시켜 출력하는 제2 지연부(200)와, 상기 제1 지연부(100)에서 출력되는 검출신호(PD)가 상기 출력부(400)로 전달되는 시간을 상기 제2 지연부(200)가 가지는 지연시간(d2)로 고정시킴으로써, 상기 출력부(400)로 인가되는 검출신호(PD)의 펄스폭을 상기 제2 지연부(200)의 지연시간(d2)으로 고정시키는 펄스폭 제어부(300)를 포함하여 이루어진다.

구체적으로, 상기 제1 지연부(100)는, 상기 검출신호(PD)를 반전하는 인버터(101)와, 상기 검출신호(PD)를 소정시간 지연시키는 딜레이부(102)와, 상기 인버터(321)의 출력과 상기 검출신호(PD)에 각각 응답하고 각각의 일측은 상기 제1 딜레이부(102)의 출력단에 연결되며 각각의 타측은 공동 연결되어 출력단을 형성하는 NMOS(103) 및 PMOS(104)를 포함하여 실시 구성되며,

상기 펄스폭 제어부(300)는, 상기 제2 지연부(200)의 출력에 응답하여 상기 제1 지연부(100)의 출력과 노드 1의 출력이 격리되도록 하는 제1 패스게이트부(310)와, 상기 제2 지연부(200)의 출력에 응답하여 상기 노드 1과 노드 2에 전류 패스를 형성하여 상기 출력부(400)가 래치 동작을 하도록 하는 제2 패스게이트부(320) 및 상기 제2 지연부(200)의 출력에 의하여 상기 펄스폭 제어부(300)의 출력단을 풀업하는 풀업부(330)를 포함하여 실시 구성되며,

상기 제1 패스게이트부(310)는, 일측은 상기 제1 지연부(100)의 출력단에 연결되고 게이트는 상기 제2 지연부(200)의 출력단에 연결되고, 타측은 상기 노드 1에 연결되는 NMOS(311) 및 게이트는 상기 인버터(101)의 출력단에 연결되고, 일측은 상기 제1 지연부(100)의 출력단에 연결되고 타측은 상기 노드 1에 연결되는 PMOS(312)를 포함하여 실시 구성되며,

상기 제2 패스게이트부(320)는, 상기 제1 지연부(100)의 출력을 반전하는 인버터(321)와, 게이트는 상기 제2 지연부(200)의 출력단에 연결되고 일측은 상기 노드 2에 연결되고 타측은 상기 노드 1에 연결되는 NMOS(322)와, 게이트는 상기 인버터(101)의 출력단에 연결되고 일측은 상기 노드 2에 연결되며, 타측은 상기 노드 1에 연결되는 PMOS(323)를 포함하여 실시 구성되며,

상기 풀업부(330)는, 일측은 전원전압에 연결되고 타측은 상기 노드 1에 연결되며, 게이트는 상기 제2 지연부(200)의 출력단에 연결되는 PMOS(330)로 실시 구성되며,

상기 출력부(400)는, 상기 노드 1의 전위레벨을 반전하는 인버터(401)와, 상기 인버터(401)의 출력을 입력으로 하여 피드백 루프를 형성하며, 출력단은 상기 노드 2에 연결되는 인버터(402)와, 상기 인버터(401)의 출력을 반전하는 인버터(403)로 실시 구성된다.

이하 도 3 내지 도 5를 참조하여 상기한 구성의 일실시예의 동작에 대하여 상세히 설명하기로 한다.

먼저, 본 발명에 따른 일실시예의 동작에 대하여 개략적으로 설명하면, 인가되는 다수의 어드레스(AD[0] ~ AD[n])의 전위 레벨이 천이하지 않을 때 상기 제1 및 제2 패스게이트부(310, 320)를 인에이블시켜 두었다가 상기 다수의 어드레스(AD[0] ~ AD[n])의 전위 레벨 중 어느 하나라도 천이가 발생하면 검출신호(PD)가 로우 레벨로 천이하며, 이 때 상기 출력부(400)에서 로우 레벨을 출력하되, 상기 제2 지연부(200)에 의하여 상기 제1 및 제2 패스게이트(310, 320)가 비활성화 되기 전까지 로우 레벨을 출력하도록 함으로서 인가되는 각각의 어드레스가 천이하는 타이밍이 다르더라도 일정한 폭을 가진 출력신호를 생성하도록 한다.

상기와 같은 동작을 도 4와 도 5의 타이밍도를 참조하여 더욱 상세히 설명하면 다음과 같다.

도 4에 도시된 바와 같이, 어드레스 천이가 발생하기 전에는 상기 검출신호(PD)는 하이 레벨의 상태를 유지하며, 이 때 상기 검출신호(PD)는 상기 딜레이부(102)와 제2 지연부(200)를 거쳐 소정시간(d1) 지연된 후 상기 제1 패스게이트부(310)와 제2 패스게이트부(320)를 턴온 시킨다.

이어서, 다수의 어드레스(AD[0] ~ AD[n]) 중 어느 하나로도 천이가 발생하면 검출신호(PD)가 로우 레벨로 천이하므로, 상기 NMOS(103)와 PMOS(104)가 턴온되어 로우 레벨의 신호(P1_OUT)를 출력한다.

한편, 상기 딜레이부(102)의 출력신호(P1_IN)는 상기 제2 지연부(200)에서 소정시간(d2) 지연되어 상기 제1 패스게이트부(310)와 제2 패스게이트부(320)를 턴오프 시키게 된다.

이어서, 상기 검출신호(PD)가 로우 레벨로 천이 시, 상기 제1 지연부(100)의 출력신호(P1_OUT)는 상기 제2 지연부(200)에서 출력되는 신호(P2_OUT)에 의해 상기 제1 및 제2 패스게이트부(310, 320)가 턴오프 되어 상기 제2 지연부(200)의 출력신호(P2_OUT)와 상기 노드 1이 격리되기 전까지 상기 출력부(400)에서 래치된 후 로우 레벨을 유지하여 출력한다.

여기서, 상기 제2 지연부(200)의 출력신호(P2_OUT)에 의해 상기 제1 패스게이트부(310)를 턴오프시키는 것은 상기 노드 1과 상기 제1 지연부(100)의 출력신호(P1_OUT)을 격리시키는 역할을 하며, 상기 제2 지연부(200)가 가지는 지연시간(d2)은 어드레스(AD[1] ~ AD[4])가 가질 수 있는 최대 지연시간 보다 크게하여 어드레스(AD[1] ~ AD[4])가 제각각 다른 타이밍을 가지고 천이하여도 출력부(400)에서 동일한 폴스폭을 가진 신호(OUT)를 출력하도록 한다.

이어서, 상기 제2 지연부(200)가 가지고 있는 지연시간(d2) 후 상기 제1 패스게이트(310)와 제2 패스게이트(320)가 턴오프 되고, 상기 풀업부(330)가 턴온되어 전원전압(VDD)을 상기 노드 1로 차지(charge)하게 된다.

노드 1에 하이 레벨로 차지된 전압은 출력부(400)에서 래치되어 어드레스(AD[1] ~ AD[4])가 천이하지 않을 때 출력부(400)의 출력이 하이 레벨을 유지하도록 하는 역할을 한다.

따라서, 상기 출력부(400)의 출력신호(OUT)는 지연시간(d2) 후 하이 레벨로 상승하게 되며, 어드레스 천이를 검출할 때마다 출력부(400)에서 생성되는 출력신호(OUT)의 폭은 상기 지연시간(d2)으로 고정되게 되며, 만일 상기 출력신호(OUT)의 폭을 조절하고자 하면 상기 제2 지연부(200)를 조정하여 지연시간을 늘리거나 줄이면 된다.

즉, 입력되는 어드레스(A[0] ~ A[n])가 각기 다른 타이밍이어도 출력신호(OUT)가 가지는 폴스폭이 일정하게 고정되게 된다.

마지막으로 도 5는 상기 도 4의 타이밍도에 따른 본 발명의 실시예의 동작이 하나의 어드레스(AD[0])가 인가될 때의 출력(OUT_1)과, 다수개의 어드레스(AD[1] ~ AD[3])가 각기 다른 타이밍으로 인가될 때의 출력(OUT_3)이 동일함을 보여주는 것으로써, 어드레스(AD[1])가 제일 먼저 로우에서 하이로 천이하고 어드레스(AD[4])가 제일 늦게 천이되어도 제2 지연부(200)가 가지는 지연시간(d2) 만큼의 폭을 가지는 검출신호(OUT_2)가 생성됨을 나타낸다.

이상에서 설명한 바와 같이 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.

발명의 효과

본 발명은 상기한 바와 같이, 지연시간을 이용하여 인가되는 어드레스의 타이밍이 정확하지 않더라도 일정한 펄스폭을 가지는 검출신호를 생성할 수 있다.

(57) 청구의 범위

청구항 1.

어드레스 및 데이터의 천이를 검출시 생성되는 검출신호의 펄스폭을 고정시키는 장치에 있어서,

상기 검출신호를 소정시간 지연시켜 출력하는 제1 지연수단;

출력수단;

상기 제1 지연수단의 출력을 소정시간 지연시켜 출력하는 제2 지연수단;

상기 제1 지연수단에서 출력되는 검출신호가 상기 출력수단으로 전달되는 시간을 상기 제2 지연수단이 가지는 지연시간으로 고정시킴으로써, 상기 출력수단으로 인가되는 검출신호의 펄스폭을 상기 제2 지연수단의 지연시간으로 고정시키는 펄스폭 제어수단

을 포함하여 이루어지는 펄스폭 고정장치.

청구항 2.

제1 항에 있어서,

상기 펄스폭 제어부는,

상기 제2 지연수단의 출력에 응답하여 상기 제1 지연수단의 출력과 제1 노드의 출력이 격리되도록 하는 제1 패스게이트부;

상기 제2 지연수단의 출력에 응답하여 상기 제1 노드와 제2 노드의 전류 패스를 형성하여 상기 출력수단이 래치 동작을 하도록 하는 제2 패스게이트부; 및

상기 제2 지연수단의 출력에 의하여 상기 펄스폭 제어부의 출력단을 풀업하는 풀업부를 포함하여 이루어지는 것을 특징으로 하는 펄스폭 고정장치.

청구항 3.

제 2 항에 있어서,

상기 제1 패스게이트부는,

일측은 상기 제1 지연수단의 출력단에 연결되고 게이트는 상기 제2 지연수단의 출력단에 연결되고, 타측은 상기 제1 노드에 연결되는 제1 NMOS; 및

게이트는 상기 제2 인버터의 출력단에 연결되고, 일측은 상기 제1 지연수단의 출력단에 연결되고 타측은 상기 제1 노드에 연결되는 제1 PMOS를 포함하여 이루어지는 것을 특징으로 하는 펄스폭 고정장치.

청구항 4.

제 2 항에 있어서,

상기 제2 패스게이트부는,

상기 제1 지연수단의 출력을 반전하는 제1 인버터;

게이트는 상기 제2 지연수단의 출력단에 연결되고 일측은 상기 제2노드에 연결되고 타측은 상기 제1 노드에 연결되는 제2 NMOS;

게이트는 상기 제2 인버터의 출력단에 연결되고 일측은 상기 제2 노드에 연결되며, 타측은 상기 제1 노드에 연결되는 제2 PMOS를 포함하여 이루어지는 것을 특징으로 하는 펄스폭 고정장치.

청구항 5.

제 2 항에 있어서,

상기 풀업부는,

일측은 전원전압에 연결되고 타측은 상기 제1 노드에 연결되며, 게이트는 상기 제2 지연수단의 출력단에 연결되는 제3 PMOS인것을 특징으로 하는 펄스폭 고정장치.

청구항 6.

제 1 항에 있어서,

상기 제1 지연수단은,

상기 검출신호를 반전하는 제2 인버터;

상기 검출신호를 소정시간 지연시키는 딜레이부;

상기 제1 인버터의 출력과 상기 출력신호에 각각 응답하고 각각의 일측은 상기 제1 딜레이부의 출력단에 연결되며 각각의 타측은 공동 연결되어 출력단을 형성하는 제3 NMOS 및 제4 PMOS를 포함하여 이루어지는 것을 특징으로 하는 펄스폭 고정 장치.

청구항 7.

제 1 항에 있어서,

상기 출력 수단은,

상기 제1 노드의 전위 레벨을 반전하는 제3 인버터;

상기 제3 인버터의 출력을 입력으로 하여 피드백 루프를 형성하며, 출력단은 상기 제2 노드에 연결되는 제4 인버터;

상기 제3 인버터의 출력을 반전하는 제5 인버터를 구비하는 것을 특징으로 하는 펄스폭 고정장치.

청구항 8.

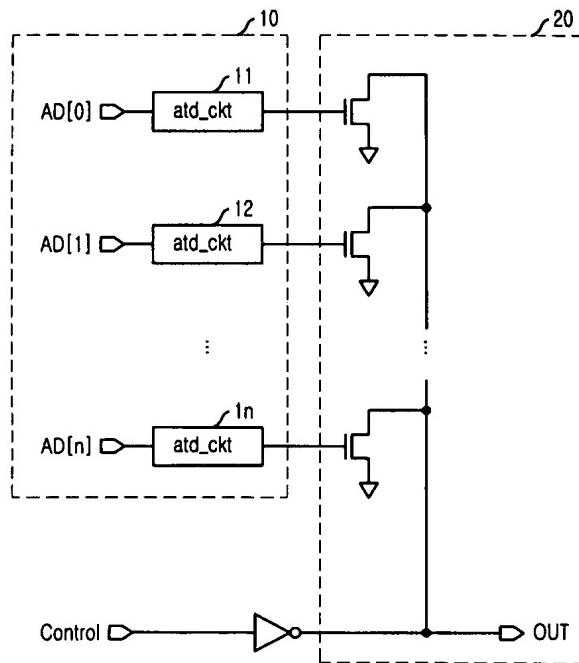
제1항에 있어서,

상기 제2 지연수단의 지연시간은,

상기 어드레스 및 데이터가 가지는 최대 지연시간보다 더 큰 지연시간을 갖는것을 특징으로 하는 펄스폭 고정장치.

도면

도면 1a



도면 1b

